

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

SUPER LUMINESCENT DIODE AND ITS PRODUCTION

Patent Number: JP6097494
Publication date: 1994-04-08
Inventor(s): MUSHIGAMI MASAHIITO; others: 02
Applicant(s): ROHM CO LTD
Requested Patent: ☐ JP6097494
Application Number: JP19920244661 19920914
Priority Number(s):
IPC Classification: H01L33/00
EC Classification:
Equivalents: JP2769409B2

Abstract

PURPOSE: To provide a super luminescent diode which allows light output from the both edge planes, easy automatic power control and excellent manufacturing reproducibility.

CONSTITUTION: A compound semiconductor current bottlenecking type super luminescent diode is formed by sandwiching an activating layer 3 by first conductivity type top clad layers 4 and 7, which have larger band gap energy and smaller refraction factor than the activating layer 3, and a second conductivity type bottom clad layer 2. In the top clad layer 4, a second conductivity type current blocking layer 5, which has the same or smaller band gap energy compared with the activating layer 3 and the same or larger refraction factor compared with the activating layer 3, is introduced so as to separate a stripe shaped current injecting area 13.

Data supplied from the esp@cenet database - 12

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開 号

特開平6-97494

(43)公開日 平成6年(1994)4月8日

(51)IntCl⁸

識別記号

庁内整理番号

FI

技術表示箇所

H01L 33/00

A 7514-4M

審査請求 未請求 請求項の数3(全5頁)

(21)出願番号 特願平4-244661

(22)出願日 平成4年(1992)9月14日

(71)出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72)発明者 虫上 雅人

京都市右京区西院溝崎町21番地 ローム株式会社内

(72)発明者 山内 達夫

京都市右京区西院溝崎町21番地 ローム株式会社内

(72)発明者 尺田 幸男

京都市右京区西院溝崎町21番地 ローム株式会社内

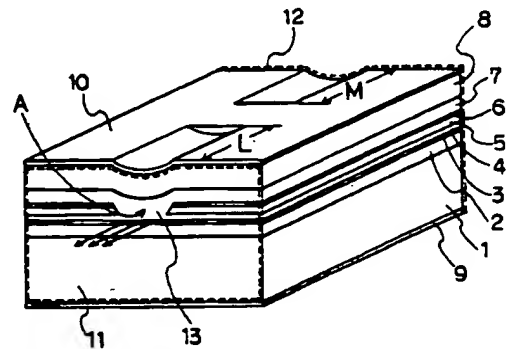
(74)代理人 弁理士 朝日奈 宗太 (外2名)

(54)【発明の名称】 スーパールミネッセントダイオードおよびその製法

(57)【要約】

【目的】 両端面から光出力が取り出せ、オートマチック・パワー・コントロールが容易であり、かつ製作の再現性に優れたスーパールミネッセントダイオードを提供する。

【構成】 活性層3の上下を、該活性層よりもバンドギャップエネルギーが大きくかつ屈折率の小さい第1導電型の上部クラッド層4、7および第2導電型の下部クラッド層2で挟んだ、化合物半導体からなる電流狭さく型スーパールミネッセントダイオードで、前記上部クラッド層中に、バンドギャップエネルギーが前記活性層と等しいかまたは前記活性層よりも小さく、かつ、屈折率が前記活性層と等しいかまたは前記活性層よりも大きい第2導電型の電流ブロッキング層5が、ストライプ状の電流注入領域13を分断するように導入されている。



- | | |
|-------------|--------------------|
| 1 半導体基板 | 5 電流ブロッキング層 |
| 2 下部クラッド層 | 7 上部第2クラッド層 |
| 3 活性層 | 11, 12 低反射率コーティング層 |
| 4 上部第1クラッド層 | 13 電流注入領域 |

【特許請求の範囲】

【請求項1】 活性層の上下を、該活性層よりもバンドギャップエネルギーが大きく、かつ、屈折率の小さい第1導電型の上部クラッド層および第2導電型の下部クラッド層で挟んだ、化合物半導体からなる電流狭さく型スーパーミネッセントダイオードであって、

前記第1導電型の上部クラッド層中に、バンドギャップエネルギーが前記活性層と等しいかまたは前記活性層よりも小さく、かつ屈折率が前記活性層と等しいかまたは前記活性層よりも大きい第2導電型の電流ブロッキング層が、ストライプ状の電流注入領域を分断するように導入されてなることを特徴とするスーパーミネッセントダイオード。

【請求項2】 前記電流ブロッキング層と活性層との距離が $0.2 \sim 0.5 \mu\text{m}$ であり、電流ブロッキング層と活性層とのあいだの上部クラッド層の比抵抗が $0.01 \sim 0.5 \Omega \cdot \text{cm}$ である請求項1記載のスーパーミネッセントダイオード。

【請求項3】 (a) 半導体基板上に、該半導体基板と同じ導電型の下部クラッド層、n型、p型またはアンドープの活性層、前記半導体基板と反対の導電型の上部第1クラッド層、および前記半導体基板と同じ導電型の電流ブロッキング層を順次積層する工程、

(b) 帯状開口部が縦横に配列されたマスクを用いて、前記工程でえられたウエハに電流ブロッキング層に達するストライプ状の電流注入領域を形成する工程、

(c) 前記ストライプ状の電流注入領域が形成されたウエハ上に前記半導体基板と反対の導電型の上部第2クラッド層およびキャップ層を順次積層する工程、

(d) 半導体基板を所定厚さまで削る工程、

(e) ウエハの上面および下面にオーミック電極を形成する工程、

(f) 隣接する2つの電流注入領域の一方の後部と他方の前部とを含むように前記ウエハを劈開してチップ化する工程、および

(g) えられたチップの両端面に保護膜または低反射率コーティング膜を形成する工程からなることを特徴とするスーパーミネッセントダイオードの製法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はスーパーミネッセントダイオード（以下、SLDという）およびその製法に関する。さらに詳しくは、光ファイバジャイロ、セリウム、光ディスクなどの光源として有用なインコヒーレント光を、大きな強度と小さな放射角で放射できるSLDおよびその製法に関する。

【0002】

【従来の技術】 活性層端面から大出力のインコヒーレント光を取り出すSLDでは、ファブリペロト共振器モードによるレーザ発振を抑圧することが重要である。よ

より、以下のようなSLD素子構造が提案されている。

【0003】 すなわち、(1) 両端面に無反射コート（AR (Anti Reflective) コート）30を形成し、反射率を低減することによりFPモードを抑圧する方法（図4参照）、(2) 素子の活性層の片側を非励起領域31とし、電流注入領域で発光した光をこの領域で吸収し、等価的に端面の反射率を低下させ、FPモードを抑圧する方法（図5参照）、および(3) 曲り導波路32を用い、電流注入領域で発光した光を端面で全反射させ、FPモードを抑圧する方法（図6参照）などが提案されている。なお、図4～6で、33は電流注入領域、30は無反射コート、31は非励起領域である。

【0004】

【発明が解決しようとする課題】 しかしながら、端面にARコートを形成する(1)の方法では、レーザ発振を抑えるに充分な超低反射率のARコートを再現性よく形成する必要があるが、製作が困難であるという問題がある。

【0005】 また、素子の活性層の片側を非励起領域とする(2)の方法および曲り導波路を用いる(3)の方法では、光出力取出し端面でない方の端面からは、光出力をほとんど行うことができず、オートマティック・ハーフ・コントロール（APC）が難しいという欠点がある。また、FPモードを十分に抑圧するためには素子の長さ（長さ）が大きくなってしまいう問題がある。

【0006】 本発明は、叙上の事情に鑑み、前記従来技術の有する欠点が解消されたSLDを提供することを目的とする。すなわち、本発明の目的は、両端面から光出力が取り出せ、APCが容易であり、かつ製作の再現性に優れたSLDを提供することおよび量産性に優れたSLDの製法を提供することを目的とする。

【0007】

【課題を解決するための手段】 本発明のSLDは、活性層の上下を、該活性層よりもバンドギャップエネルギーが大きく、かつ、屈折率の小さい第1導電型の上部クラッド層および第2導電型の下部クラッド層で挟んだ、化合物半導体からなる電流狭さく型スーパーミネッセントダイオードであって、前記第1導電型の上部クラッド層中に、バンドギャップエネルギーが前記活性層と等しいかまたは前記活性層よりも小さく、かつ屈折率が前記活性層と等しいかまたは前記活性層よりも大きい第2導電型の電流ブロッキング層が、ストライプ状の電流注入領域を分断するように導入されてなることを特徴とする。

【0008】 本発明のSLDにおいては、前記電流ブロッキング層と活性層との距離が $0.2 \sim 0.5 \mu\text{m}$ であり、電流ブロッキング層と活性層とのあいだの上部クラッド層の比抵抗が $0.01 \sim 0.5 \Omega \cdot \text{cm}$ であるのが好ましい。

【0009】 また、本発明のSLDの製法は、半導体基板上に、該半導体基板と同じ導電型の下部クラ

層、n型、p型またはアンドープの活性層、前記半導体基板と反対の導電型の上部第1クラッド層および前記半導体基板と同じ導電型の電流ブロッキング層を順次積層する工程、(b) 帯状開口部が縦横に配列されたマスクを用いて、前記工程でえられたウエハに電流ブロッキング層に達するストライプ状の電流注入領域を形成する工程、(c) 前記ストライプ状の電流注入領域が形成されたウエハ上に前記半導体基板と反対の導電型の上部第2クラッド層およびキャップ層を順次積層する工程、(d) 半導体基板を所定厚さまで削る工程、(e) ウエハの上面および下面にオーミック電極を形成する工程、(f) 隣接する2つの電流注入領域の一方の後部と他方の前部とを含むように前記ウエハを劈開してチップ化する工程、および(g) えられたチップの両端面に保護膜または低反射率コーティング膜を形成する工程からなることを特徴としている。

【0010】

【作用】本発明のSLDにおいては、ストライプ状の電流注入領域を分断するように、光を吸収する電流ブロッキング層が上部クラッド層中に設けられているため、FPモードを十分に抑圧することができ、なおかつ素子の前端面および後端面のそれぞれからインコヒーレント光を発光させることができる。

【0011】また、本発明のSLDの製法では、帯状開口部が縦横に配列されたマスクを用いて電流注入領域を形成し、チップ化に際し、隣接する2つの電流注入領域の一方の後部と他方の前部を含むように劈開しているため、劈開の位置精度がそれほど要求されない。

【0012】

【実施例】つぎに添付図面を参照しつつ本発明のSLDおよびその製法を詳細に説明する。図1は本発明のSLDの一実施例の説明図である。

【0013】図1において、1はn-GaAsからなる半導体基板であり、該半導体基板1上にはn-Al_{0.6}Ga_{0.4}Asからなる厚さ1.0～3.0 μm程度下部クラッド層2、アンドープAl_{0.05}Ga_{0.95}Asからなる厚さ0.04～0.2 μm程度の活性層3、およびp-Al_{0.6}Ga_{0.4}Asからなる厚さ0.2～0.5 μm程度の上部第1クラッド層4が形成されている。そして、該上部第1クラッド層4上には、さらに、n-GaAsからなる厚さ0.2～1.0 μm程度の電流ブロッキング層5、n-Al_{0.15}Ga_{0.85}Asからなる厚さ0.04～0.2 μm程度の蒸発防止層6、p-Al_{0.6}Ga_{0.4}Asからなる厚さ1.0～3.0 μm程度の上部第2クラッド層7、およびp-GaAsからなる厚さ0.3～5.0 μm程度のキャップ層8が形成されている。そして、活性層3は該活性層よりバンドギャップエネルギーが大きく、かつ、屈折率の小さい上部第1クラッド層4および下部クラッド層2で挟まれ、電流狭さく型SLDを構成している。この電流ブロッキング層5と活性層3との距離は電流注入領域

の真下に有効に電流を供給し、無効電流を少なくするために、0.2～0.5 μm程度に形成され、電流ブロッキング層5と活性層3とのあいだの上部クラッド層である上部第1クラッド層4の比抵抗が0.01～0.5 Ω・cmとされるのが好ましい。

【0014】電流ブロッキング層5には、電流注入領域13を形成するストライプが形成され、このストライプは基板表面の段差に現われているように、チップ全体に形成されるのではなく、発光端面Aから一定の長さLと後端面から一定の長さMだけ形成され、そのあいだに電流ブロッキング層5が残され、電流非注入領域を形成し、電流注入領域13は分断されている。また、本実施例におけるストライプの発光端面A側の長さLは100～180 μm、後端面側の長さMは30～100 μmにした。ここでチップの大きさは250 μm×250 μmで、ストライプの幅は3～20 μm程度であった。

【0015】半導体基板1の裏面およびキャップ層8の表面にはそれぞれAuGeNi/AuおよびTi/Auなどからなるオーミック電極9および10がそれぞれ設けられている。また、図2における前端面および後端面にはAl₂O₃膜をλ/4の厚さ形成したり、さらにa-Si膜などを多層化して低反射率コーティング膜11、12をそれぞれ設けている。この低反射率コーティング膜11、12を形成することにより、反射率を30%から4%位に低下でき、さらに多層化することにより1%以下に低下できる。

【0016】前記電流ブロッキング層5は、前記電流注入領域13を除いて、上部クラッド層中に設けられている。この電流ブロッキング層5は前記半導体基板1と同じ導電型であり、バンドギャップエネルギーが前記活性層3と等しいかまたは活性層3よりも小さく、かつ、屈折率が同じく活性層3と等しいかまたは活性層3よりも大きい。このため、電流注入領域13の下活性層3で発光して端面と反対方向に進んだ光は反射することなく、容易に電流ブロッキング層5、すなわち、非励起領域に入り込み、前記活性層3から発光した光を有効に吸収することができる。

【0017】つぎに本発明のSLDの製法についてMBE法で作製するばあい为例にとつて図2に基づき説明する。

【0018】まず、n-GaAsからなる半導体基板1の表面に厚さ1.5 μmのn-Al_{0.6}Ga_{0.4}Asからなる下部クラッド層2、厚さ0.08 μmのアンドープAl_{0.05}Ga_{0.95}Asからなる活性層3、厚さ0.4 μmのp-Al_{0.6}Ga_{0.4}Asからなる上部第1クラッド層4、厚さ0.3 μmのn-GaAsからなる電流ブロッキング層5、厚さ0.07 μmのn-Al_{0.15}Ga_{0.85}Asからなる蒸発防止層6、および厚さ0.04 μmのアンドープGaAsからなる表面保護層21を順次積層する(図2の(a)参照)。この際、電流ブロッキング層5と活性層3

との距離は0.2～0.5 μm 程度になるようにする。また、上部第1クラッド層4の比抵抗は0.01～0.5 $\Omega \cdot \text{cm}$ となるようにする。

【0019】本発明では電流ブロッキング層5のバンドギャップエネルギーが活性層3のバンドギャップエネルギーと等しいかまたはそれより小さく、かつ、電流ブロッキング層5の屈折率が活性層3の屈折率と等しいかそれよりも大きくなるように形成されている。電流ブロッキング層5や活性層3に $\text{Al}_x\text{Ga}_{1-x}\text{As}$ を使用すると、 x が小さいときバンドギャップエネルギーは小さく、屈折率は大きく、 x が大きくなるとバンドギャップエネルギーは大きくなり、屈折率は小さくなる。したがって電流ブロッキング層に活性層より x の小さい組成を使用することにより、前述の関係がえられる。

【0020】つぎに、図3に示されるような、帯状開口部が縦横に配列されたマスクを用い、前述した工程で積層したウエハに電流ブロッキング層5に達するストライプ溝（幅約6 μm ）をケミカルエッチングにより形成する（図1の(b)参照）。その際、Alを含むクラッド層が空气中で酸化されるのを防止し、後述の蒸発速度の差を利用して蒸発により除去するため、電流ブロッキング層5のうち下部の0.1 μm 程度を残すようにする。このマスクはチップへの切断線を図4に破線で示すように、ストライプ溝の途中で切断する構造にしており、ストライプ溝が両端面に露出するようになっている。その結果、後端面からも発光させることができ、発光量をモニターすることができると共に、ウエハからチップへの切断箇所が少々ずれても常に電流注入領域が端面に露出し、性能的に安定させ易い。

【0021】つぎに前記ウエハを再びMBE装置内に入れ、GaAsと AlGaAs との蒸発速度の差を利用し、GaAsだけを選択的に蒸発させる（図2の(c)参照）。この熱エッチング工程の温度は約760℃で処理時間は約10分である。そしてGaAsの蒸発速度は760℃で1.2 $\mu\text{m}/\text{h}$ であるのに対し、 $\text{Al}_{0.15}\text{Ga}_{0.85}\text{As}$ の蒸発速度は760℃で0.01 $\mu\text{m}/\text{h}$ 以下であるので、GaAsのみ選択的に蒸発する。この工程により、表面が酸化されていないきれいなクラッド層が現われる。

【0022】ついでウエハ温度を580℃まで下げ、厚さ1.2 μm の $p\text{-Al}_{0.6}\text{Ga}_{0.4}\text{As}$ からなる上部第2クラッド層7および厚さ1.2 μm の $p\text{-GaAs}$ からなるキャップ層8を前記ウエハ上に積層する（図2の(d)参照）。

【0023】以上のように、1回のマスク工程と2回のエビ工程だけでウエハ製造工程が終了する。このようにして製造されたウエハをラッピングで $n\text{-GaAs}$ 基板1を削り、厚さ60 μm 程度にする。そののち、ウエハの下面および上面にそれぞれ AuGeNi/Au および Ti/Au などを蒸着させて、オーミック電極9、10を形成する。さらに、劈開でチップ化を行い、えられたチップ

の両端面にスパッタ法で Al_2O_3 、 $a\text{-Si}$ からなる低反射率コーティング膜11、12を形成する。なお、チップ化に際しては、前述した帯状開口部が縦横に配列されたマスクを用いて形成した電流注入領域のうち、隣接する2つの電流注入領域の一方の後部と他方の前部とを含むように劈開している。このため、劈開の位置精度がそれほど要求されず、量産性に優れている。

【0024】なお、前述した実施例では、結晶を成長させる方法としてMBE法を用いているが、MBE法以外にMOVPE法（有機金属気相成長法）、MOMBE法（有機金属分子線成長法）などを用いることもできる。

【0025】また、基板として $n\text{-GaAs}$ を用いたが、 p 型でもよく、基板材料も他に InP や ZnSe などを用いてもよい。さらに、成長させる膜は、 AlGaAs 系以外に AlGaInP 系、 InGaAsP 系、 ZnCdSSe 系などでもよい。

【0026】さらに、 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ でAlとGaの割合を特定値の例で説明したが、その値に限らず、クラッド層では $0.3 \leq x \leq 0.8$ の範囲で、活性層では $0.0 \leq x \leq 0.3$ の範囲で、電流ブロッキング層では $0.0 \leq x \leq 0.3$ の範囲で特性に応じて自由に選定できる。また基板上に積層する半導体層も AlGaAs 層に限らず、 InGaAlP 、 InGaAsP 、 ZnCdSSe などを使用することもできる。

【0027】また、活性層をアンドープの例で説明したが、 p 型や n 型でもよい。また、ストライプもストライプ溝の例で説明したが、溝以外の構成でもよい。

【0028】また、前記実施例では、熱エッチングで電流ブロッキング層のエッチングを完全に行ったが、熱エッチング工程を行わないばあいには、蒸発防止層6や表面保護層21は不要である。

【0029】なお、前端面と後端面の光出力の強さについて、前後の比率を変えたいばあいには、劈開の位置を変更すればよい。

【0030】

【発明の効果】以上説明したとおり、本発明のSLDにおいては、ストライプ状の電流注入領域を分断するように、光を吸収する電流ブロッキング層が上部クラッド層中に設けられているためFPモードを十分に抑圧することができる。また、素子の後端面からも発光させることができ、APC動作に必要な光を後端面からとることができる。

【0031】また、本発明の製法では、帯状開口部が縦横に配列されたマスクを用いて電流注入領域を形成し、隣接する電流注入領域の前部と後部を含むように劈開して、チップをえているため、劈開の精度位置がそれほど要求されず、量産性がよい。また、電流注入領域の長さを前後同じに形成しておけば、チップを自動機で組み立てるときにチップの向きを気にしなくてよいので、

組立作業が容易になる。さらに、電流注入領域と光吸収機能をもつ非励起領域をマスク1回の工程だけで作製することができ、その他の工程は変わらないので製造が容易である。

【図面の簡単な説明】

【図1】本発明のSLDの一実施例の説明図である。

【図2】本発明のSLDの一実施例の製造工程説明図である。

【図3】本発明のSLDの製造に用いられるマスクの部分平面図である。

【図4】従来のSLDの断面説明図である。

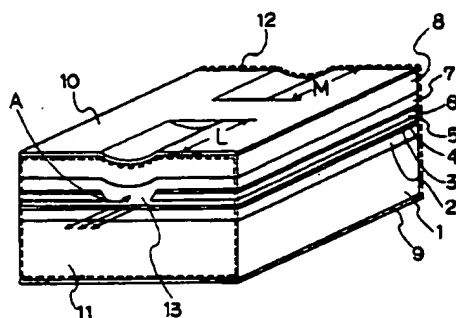
【図5】従来のSLDの断面説明図である。

【図6】従来のSLDの断面説明図である。

【符号の説明】

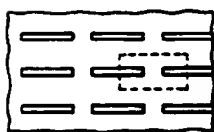
- 1 半導体基板
- 2 下部クラッド層
- 3 活性層
- 4 上部第1クラッド層
- 5 電流ブロッキング層
- 7 上部第2クラッド層
- 11、12 低反射率コーティング膜
- 13 電流注入領域

【図1】

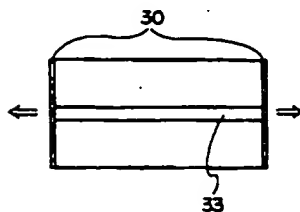


- 1 半導体基板
- 2 下部クラッド層
- 3 活性層
- 4 上部第1クラッド層
- 5 電流ブロッキング層
- 7 上部第2クラッド層
- 11、12 低反射率コーティング膜
- 13 電流注入領域

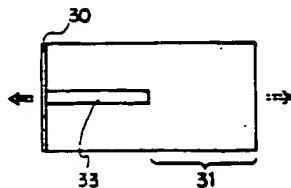
【図3】



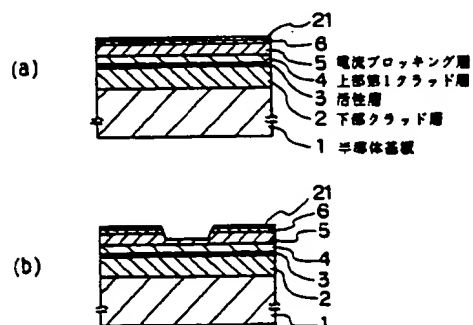
【図4】



【図5】



【図2】



【図6】

